

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-035155

(43)Date of publication of application : 09.02.2001

(51)Int.Cl. G11C 11/407

(21)Application number : 2000-195347 (71)Applicant : HYUNDAI ELECTRONICS  
IND CO LTD

(22)Date of filing : 28.06.2000 (72)Inventor : CHIN EIHO

(30)Priority

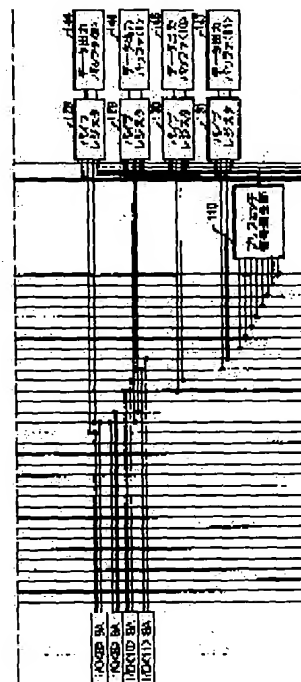
Priority number : 99 9924955 Priority date : 28.06.1999 Priority country : KR

(54) PIPE REGISTER AND SEMICONDUCTOR MEMORY CELL PROVIDED WITH THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pipe register and a semiconductor memory cell provided with the same with which high speed operation is enabled by sensing the data of respective global input/output positive and negative lines and storing/ outputting the sensed data without an influence caused by loading upon the other global input/output line while being independently connected to the relevant global input/output positive and negative lines.

SOLUTION: The semiconductor memory cell for outputting data at high speed is provided with a lot of pipe registers 120 to 126 respectively connected to a lot of global input/output positive and negative lines for storing the relevant global input/output positive and negative line data by sensing data loaded onto the relevant global input/output positive and negative lines and the relevant global input/output positive and negative line data are independently stored in the pipe registers.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2001-35155  
(P2001-35155A)

(43) 公開日 平成13年2月9日(2001.2.9)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコ-ト\*(参考)

G 1 1 C 11/407

G 1 1 C 11/34

3 6 2 S

審査請求 未請求 請求項の数17 O L (全 20 頁)

(21) 出願番号 特願2000-195347(P2000-195347)

(22) 出願日 平成12年6月28日(2000.6.28)

(31) 優先権主張番号 1 9 9 9 - 2 4 9 5 5

(32) 優先日 平成11年6月28日(1999.6.28)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(72) 発明者 沈 榮 輔

大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(74) 代理人 100065215

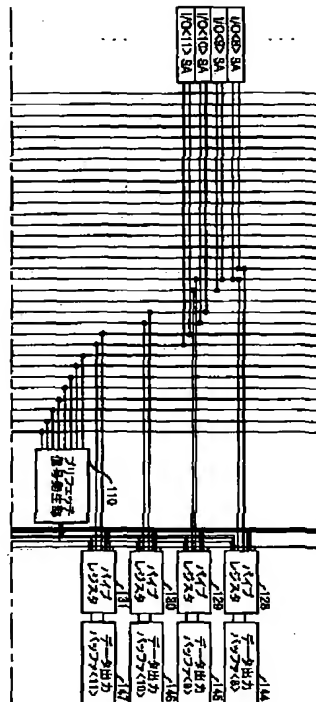
弁理士 三枝 英二 (外8名)

(54) 【発明の名称】 パイプレジスタ及びそれを備えた半導体メモリ素子

(57) 【要約】

【課題】 本発明は、各グローバル入出力正及び負ラインに独立的に連結されてローディングによる他のグローバル入出力ラインのスキューに影響を受けなくて、該当グローバル入出力正及び負ラインのデータを感知して感知されたそのデータを貯蔵及び出力することによって、高速動作を可能にした、パイプレジスタ及びそれを備えた半導体メモリ素子を提供する。

【解決手段】 本発明は、高速のデータ出力のための半導体メモリ素子において、多数のグローバル入出力正ライン及び多数のグローバル入出力負ラインに各々連結され、該当グローバル入出力正及び負ライン上にロードされるデータを感知して上記該当グローバル入出力正及び負ラインデータに対する貯蔵動作を遂行する多数のパイプレジスタを含んで、上記該当グローバル入出力正及び負ラインのデータを上記パイプレジスタに独立的に貯蔵されるように構成される。



## 【特許請求の範囲】

【請求項1】 高速のデータ出力のための半導体メモリ素子において、

多数のグローバル入出力正ライン及び多数のグローバル入出力負ラインに各々接続され、該当グローバル入出力正及び負ライン上にロードされるデータを感知して上記該当グローバル入出力正及び負ラインデータに対する記憶動作を遂行する多数のパイプレジスタを備え、

上記該当グローバル入出力正及び負ラインのデータを上記パイプレジスタに独立的に記憶させるように構成されていることを特徴とする半導体メモリ素子。

【請求項2】 上記パイプレジスタに記憶された上記データの出力順を制御するパイプカウンタ信号を発生するパイプカウンティング手段を備え、

上記パイプレジスタの各々が、  
上記パイプカウンティング手段からの上記パイプカウンタ信号にตอบสนองして上記パイプレジスタに記憶されたデータを出力するように構成されていることを特徴とする請求項1記載の半導体メモリ素子。

【請求項3】 多数のグローバル入出力正ライン及び多数のグローバル入出力負ラインに各々接続され、該当グローバル入出力正及び負ライン上にロードされるデータを感知して上記該当グローバル入出力正及び負ラインデータを記憶及び出力するための多数のパイプレジスタ及び上記パイプレジスタに記憶された上記データの出力順を制御する多数のビットのパイプカウンタ信号を発生するパイプカウンティング手段を備えた半導体メモリ素子のためのパイプレジスタであって、

上記グローバル入出力正ライン及び上記グローバル入出力負ラインに接続されて、上記グローバル入出力正及び負ラインのデータ遷移如何を感知するためのデータ感知手段と、

リセット信号、上記データ感知手段から出力されるデータの下降エッジを感知した下降エッジ感知信号、及びデータの上昇エッジを感知した上昇エッジ感知信号にตอบสนองして上記グローバル入出力正ライン及び上記グローバル入出力負ライン上にロードされた読み出しデータを記憶し、上記パイプカウンティング手段から出力される上記パイプカウンタ信号のいずれかのビット信号にตอบสนองして記憶された上記データを出力するための多数の記憶手段とを含んで構成されていることを特徴とするパイプレジスタ。

【請求項4】 上記多数の記憶手段の各々が、  
選択信号にตอบสนองして上記グローバル入出力正ラインにロードされたデータを記憶するための第1ラッチ回路部と、

上記選択信号にตอบสนองして上記グローバル入出力負ラインにロードされたデータを記憶するための第2ラッチ回路部と、

最初のデータ読み出し動作の際、イネーブル化される上

記リセット信号にตอบสนองして上記第1及び第2ラッチ回路部に記憶されたデータを各々プルダウンリセット駆動するためのリセット回路部と、

上記第1及び第2ラッチ回路部に接続され、上記上昇エッジ感知信号及び以前の記憶手段から出力される以前記憶手段のデータ記憶完了如何に対する第1制御信号にตอบสนองして上記選択信号を発生するための選択信号発生回路部と、

上記下降エッジ感知信号、及び以前の記憶手段の上記選択信号にตอบสนองして上記第1及び第2ラッチ回路部に記憶されたデータをクリアさせるためのクリア回路部と、

上記第1及び第2ラッチ回路部に記憶されたデータ、及び上記パイプカウンティング手段から出力されるパイプカウンタ信号にตอบสนองして出力信号を駆動するための出力駆動回路部とを含んで構成されていることを特徴とする請求項3記載のパイプレジスタ。

【請求項5】 上記第1ラッチ回路部が、  
上記グローバル入出力正ラインにロードされたデータ、及び上記選択信号にตอบสนองして第1記憶ノードをプルアップ駆動するプルアップ駆動部と、

上記第1記憶ノードに接続されたデータ記憶手段とを含んで構成されていることを特徴とする請求項4記載のパイプレジスタ。

【請求項6】 上記プルアップ駆動部が、  
電源電圧端及び上記第1記憶ノード間に直列接続され、ゲート端が上記グローバル入出力正ラインに接続された第1PMOSトランジスタ、及びゲート端で上記選択信号が入力される第2PMOSトランジスタとを含んで構成されていることを特徴とする請求項5記載のパイプレジスタ。

【請求項7】 上記データ記憶手段が、  
上記第1記憶ノードに入力端が接続された第1反転手段と、

入力端が上記第1反転手段の出力端に接続され、出力端が上記第1記憶ノードに接続された第2反転手段とを含んで構成されていることを特徴とする請求項5記載のパイプレジスタ。

【請求項8】 上記第2ラッチ回路部が、  
上記グローバル入出力負ラインにロードされたデータ及び上記選択信号にตอบสนองして第2記憶ノードをプルアップ駆動するプルアップ駆動部と、

上記第2記憶ノードに接続されたデータ記憶手段とを含んで構成されていることを特徴とする請求項4記載のパイプレジスタ。

【請求項9】 上記プルアップ駆動部が、  
電源電圧端及び上記第2記憶ノード間に直列接続され、ゲート端が上記グローバル入出力負ラインに接続された第1PMOSトランジスタ及びゲート端で上記選択信号が入力される第2PMOSトランジスタとを含んで構成されていることを特徴とする請求項8記載のパイプレジスタ。

【請求項10】 上記データ記憶手段が、

上記第1記憶ノードに入力端が接続された第1反転手段と、  
入力端が上記第1反転手段の出力端に接続され、出力端が上記第1記憶ノードに接続された第2反転手段とを含んで構成されていることを特徴とする請求項8記載のバイプレジスタ。

【請求項11】 上記リセット回路部が、  
上記第1ラッチ回路部の第1記憶ノードと接地電源端間に接続され、ゲート端に上記リセット信号が入力される第1プルダウントランジスタと、  
上記第2ラッチ回路部の第2記憶ノードと接地電源端間に接続され、ゲート端に上記リセット信号が入力される第2プルダウントランジスタとを含んで構成されていることを特徴とする請求項4記載のバイプレジスタ。

【請求項12】 上記選択信号発生回路部が、  
上記第1ラッチ回路部の第1記憶ノード及び上記第2ラッチ回路部の第2記憶ノードに接続されて、上記第1及び第2記憶ノードに対するデータ記憶動作の完了の如何を感知してディセーブルされた上記選択信号を発生する第1回路部と、  
上記上昇エッジ感知信号、上記第1及び第2記憶ノードに対するデータ記憶動作の完了の如何に対する第2制御信号及び上記第1制御信号にตอบสนองして上記該当記憶手段の選択信号をイネーブル化させて出力する第2回路部とを含んで構成されていることを特徴とする請求項4記載のバイプレジスタ。

【請求項13】 上記第1回路部が、  
片側の入力端が上記第1記憶ノードに接続され、他入力端が上記第2記憶ノードに接続されて否定論理積する否定論理積手段と、  
上記否定論理積手段の出力信号を反転遅延して上記第2制御信号を出力するための奇数個の反転手段と、  
電源電圧端及び上記選択信号を出力する選択信号出力端間に接続され、ゲート端に上記第2制御信号が入力されて上記選択信号をプルアップ駆動するプルアップトランジスタとを含んで構成されていることを特徴とする請求項12記載のバイプレジスタ。

【請求項14】 上記第2回路部が、  
上記上昇エッジ感知信号、上記第1及び第2制御信号が入力されて否定論理積するための否定論理積手段と、  
上記選択信号を出力する選択信号出力端及び接地電源端間に接続され、上記否定論理積手段の出力がゲート端に入力されて上記選択信号をプルダウン駆動するためのプルダウントランジスタとを含んで構成されていることを特徴とする請求項12記載のバイプレジスタ。

【請求項15】 上記多数の記憶手段の中、上記グローバル入出力正ライン及び上記グローバル入出力負ライン上に最初にロードされるデータが入力されて記憶する第1記憶手段の選択信号発生回路部が、上記リセット信号にตอบสนองして上記選択信号をイネーブル化させるための

第3回路部をさらに含んで構成されていることを特徴とする請求項12記載のバイプレジスタ。

【請求項16】 上記第3回路部が、上記選択信号のノード及び接地電源端間に接続され、ゲート端に上記リセット信号が入力されて上記選択信号をプルダウン駆動するプルダウントランジスタを含んで構成されていることを特徴とする請求項15記載のバイプレジスタ。

【請求項17】 上記クリア回路部が、  
上記下降エッジ感知信号及び上記以前の記憶手段の選択信号が入力されて否定論理和する否定論理和手段と、

上記第1ラッチ回路部の第1記憶ノード及び接地電源端間に接続され、ゲート端に上記否定論理和手段の出力信号が入力されて上記第1記憶ノードをプルダウン駆動する第1プルダウントランジスタと、  
上記第2ラッチ回路部の第2記憶ノード及び接地電源端間に接続され、ゲート端に上記否定論理和手段の出力信号が入力されて上記第2記憶ノードをプルダウン駆動する第2プルダウントランジスタとを含んで構成されていることを特徴とする請求項4記載のバイプレジスタ。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明はバイプレジスタ及びそれを備えた半導体メモリ素子に関し、特にシンクロナスメモリ(Synchronous memory)に読み出しデータを記憶して、パイプライン方式でデータを出力するバイプレジスタ(pipe-register)及びそれを備えた半導体メモリ素子に関する。

【0002】

【従来の技術】 一般に、シンクロナスメモリは、データ読み出し動作の際、読み出しデータを直接データ出力フィンで出力することをせず、臨時記憶装置に一旦記憶させてから外部クロック信号に同期させてデータ出力フィンに送りだすが、この時データを臨時に記憶する臨時記憶装置をバイプレジスタと呼称している。

【0003】 図1～図5は、従来の技術に係るバイプレジスタを含むシンクロナスメモリ素子の一構成例を示しており、この種のシンクロナスメモリ素子は、4個のグローバル入出力正及び負ライン(global I/O pair lines)に接続されてラインの信号を組合せて共通的なプリフェッチ信号pfetch[0:2]を発生させ、上記プリフェッチ信号pfetch[0:2]に8個のグローバル入出力正及び負ライン(global I/O pairlines)に各々接続されたバイプレジスタを共同制御させるように構成されている。

【0004】 シンクロナスメモリ素子は、4個のグローバル入出力正及び負ラインGrio[4]、Grioz[4]、Grio[5]、Grioz[5]、Grio[6]、Grioz[6]、Grio[7]、Grioz[7]に接続されたプリフェッチ信号発生部100、また他の4個のグローバル入出力正及び負ラインGrio[12]、Grioz[12]、Grio[13]、Grioz[13]、Grio[14]、Grioz[14]

4)、Grio[15]、Grioz[15]に接続されたプリフェッチ信号発生部110、プリフェッチ信号発生部100から出力される共通プリフェッチ信号pfetch[0:2]が各々入力され、各々のグローバル入出力正及び負ラインGrio[0]、Grioz[0]、Grio[1]、Grioz[1]、Grio[2]、Grioz[2]、Grio[3]、Grioz[3]、Grio[4]、Grioz[4]、Grio[5]、Grioz[5]、Grio[6]、Grioz[6]、Grio[7]、Grioz[7]に接続された8個のパイプレジスタ120～127、プリフェッチ信号発生部110から出力される共通プリフェッチ信号pfetch[0:2]が各々入力され、各々のグローバル入出力正及び負ラインGrio[8]、Grioz[8]、Grio[9]、Grioz[9]、Grio[10]、Grioz[10]、Grio[11]、Grioz[11]、Grio[12]、Grioz[12]、Grio[13]、Grioz[13]、Grio[14]、Grioz[14]、Grio[15]、Grioz[15]に接続された8個のパイプレジスタ128～135、各パイプレジスタ120～135の出力端に接続されたデータ出力バッファ136～151、及び上記パイプレジスタ128～135に各々出力され、パイプレジスタ128～135に記憶されたデータの出力を制御する信号であるパイプカウンタ信号pocntを生成するパイプカウンタ160を含んで構成されている。

#### 【0005】

【発明が解決しようとする課題】上記のように構成された従来のシンクロナスメモリ素子では、グローバル入出力ラインのローディング(loading)状態により各グローバル入出力ライン上のデータが互いに異なるスキュー(skew)を有することとなる。したがって、グローバル入出力ライン上の新しいデータが入力されてパイプレジスタに記憶させるためのパイプレジスタ制御信号であるプリフェッチ信号pfetch[0:2]のパルス幅を各グローバル入出力ライン間のスキュー分ほど広く確保しておかなければならない。したがって、従来のシンクロナスメモリ素子では、上記のように広いパルス幅のプリフェッチ信号(prefetch)によりデータをパイプレジスタにラッチさせていたため、高速でラッチすることが困難であった。

【0006】図6は、従来の技術に係る上記パイプレジスタの内部回路構成を示す回路図であり、パイプライン動作のための3個の記憶部200、210、220を含んで構成されている。従来のパイプレジスタは、パイプレジスタがイネーブル化された後、クリア信号cl1にตอบสนองして記憶部200に記憶されたデータをクリアするように構成されており、このためサイクル時間が増えて高速動作が困難であるといった課題を有していた。

【0007】本発明は上記した課題に鑑みなされたものであって、各グローバル入出力正及び負ラインに独立的に接続され、ローディングによる他のグローバル入出力ラインのスキューに影響を受けることなく、該当グローバル入出力正及び負ラインのデータを感知して感知されたそのデータを記憶及び出力することによって、高速動作を可能にした、パイプレジスタ及びそれを備えた半導

体メモリ素子を提供することを目的としている。

#### 【0008】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体メモリ素子は、多数のグローバル入出力正ライン及び多数のグローバル入出力負ラインに各々接続され、該当グローバル入出力正及び負ライン上にロードされるデータを感知して上記該当グローバル入出力正及び負ラインデータに対する記憶動作を遂行する多数のパイプレジスタを備え、上記該当グローバル入出力正及び負ラインのデータを上記パイプレジスタに独立的に記憶させるように構成されていることを特徴としている。

【0009】上記パイプレジスタに記憶された上記データの出力順を制御するパイプカウンタ信号を発生するパイプカウンティング手段をさらに含んで、上記パイプレジスタの各々は、上記パイプカウンティング手段からの上記パイプカウンタ信号にตอบสนองして上記パイプレジスタに記憶されたデータを出力する。

【0010】また、多数のグローバル入出力正ライン及び多数のグローバル入出力負ラインに各々接続され、該当グローバル入出力正及び負ライン上にロードされるデータを感知して上記該当グローバル入出力正及び負ラインデータを記憶及び出力するための多数のパイプレジスタ、及び上記パイプレジスタに記憶された上記データの出力順を制御する多数ビットのパイプカウンタ信号を発生するパイプカウンティング手段を備えた半導体メモリ素子のためのパイプレジスタにおいて、上記グローバル入出力正ライン及び上記グローバル入出力負ラインに接続されて、上記グローバル入出力正及び負ラインのデータ遷移如何を感知するためのデータ感知手段と、リセット信号、上記データ感知手段から出力されるデータの下降エッジを感知した下降エッジ感知信号、及びデータの上昇エッジを感知した上昇エッジ感知信号にตอบสนองして上記グローバル入出力正ライン及び上記グローバル入出力負ライン上にロードされた読み出しデータを記憶し、上記パイプカウンティング手段から出力される上記パイプカウンタ信号のいずれかのビット信号にตอบสนองして記憶された上記データを出力するための多数の記憶手段とを含んでなる。

#### 【0011】

【発明の実施の形態】以下、本発明に係るパイプレジスタを含む半導体メモリ素子の実施の形態を図面に基づいて説明する。図7～図11は、実施の形態に係るパイプレジスタを含む半導体メモリ素子を示すブロック配線図である。

【0012】図面に示したように、実施の形態に係る半導体メモリ素子は、別途のプリフェッチ信号発生部に接続されたことなく、パイプレジスタの各々がグローバル入出力正及び負ラインのみに直接接続されたように構成されている。すなわち、グローバル入出力正及び負ライ

ンGrio[0]、Grioz[0]は、パイプレジスタ300に直接接続され、グローバル入出力正及び負ラインGrio[1]、Grioz[1]は、パイプレジスタ301に直接接続され、残りのパイプレジスタ302～315も各々のグローバル入出力正及び負ラインGrio、Griozに直接接続されている。

【0013】図12～図16は、実施の形態に係る上記半導体メモリ素子のパイプレジスタの内部回路構成を示す回路図であって、図17及び図18は、該パイプレジスタの動作を示すタイミングチャート図である。実施の形態に係る半導体メモリ素子では、グローバル入出力正及び負ラインにデータが載れば、これを感知して自動的にパイプレジスタの4個の記憶部が順に高速ラッチされるように、各グローバル入出力ラインに独立した動作が可能なパイプレジスタが接続されて構成されている。ここで、グローバル入出力正及び負ラインのプリチャージ状態は、“ハイ”レベルであり、任意のデータをラインに載せる場合、入出力正及び負ラインのいずれかのラインが“ロー”レベルになる。

【0014】図面に示したように、実施の形態に係るパイプレジスタは、CAS(column address strobe)レイテンシ(latency)を最大4クロックまで支援するため、4個の記憶部400、410、420、430を含んで構成され、読み出しデータをパイプレジスタまで伝達するためのグローバル入出力正ライン(Grio、global input/output)及びグローバル入出力負ライン(Grioz、global input/output bar)が4個の記憶部400、410、420、430に接続されている。この場合、Grio及びGriozは、“常に”ハイ”レベルにプリチャージされた状態を維持し、データは、GrioまたはGriozに“ロー”レベルで載せることになる。

【0015】そして、実施の形態に係るパイプレジスタは、Grio及びGriozに接続されて、上記グローバル入出力ライン上にデータがロードされたか否かを感知するためのデータ感知器440をさらに含んでいる。このデータ感知器440は、GrioまたはGriozのデータロードの如何を感知するため、入力端がGrio及びGriozに接続されたNANDゲート441、NANDゲート441の出力端に接続されてNANDゲート441の出力信号を所定の時間反転遅延するための遅延部442、NANDゲート441の出力信号及び遅延部442の出力信号にตอบสนองしてGrioまたはGriozに載せるデータの下降エッジを感知してローアクティブDFE(detection falling edge)信号を出力するためのNORゲート443、及びNANDゲート441の出力信号、及び遅延部442の出力信号にตอบสนองしてGrioまたはGriozに載せるデータの上昇エッジを感知してハイアクティブDRE(detection rising edge)信号を出力するためのNANDゲート444を含んで構成されている。そして、データ感知器440から出力されるDRE及びDFE信号は、4個の記憶部400～430に出力されるようになっている。

【0016】次に、図12～図16、図17及び図18

に示された信号について説明する。リセット信号resetは、データ読み出し動作の初期に4個の記憶部400～430に入力されて各記憶部400～430に記憶されたデータを全部削除し、第1記憶部400の選択信号sel[0]を“ロー”レベルにイネーブル化させる。パイプカウンタ信号pocnt[3:0]は、プログラムされたCASレイテンシのクロックサイクル時間に同期されて第1～第4記憶部400～430のデータをデータ出力バッファに順に出力するための信号である。

【0017】次に、上記説明した信号が各々入力される第1～第4記憶部400～430の各構成を説明する。第1記憶部400は、2個のインバータにより構成され、記憶ノードp[0]にデータを記憶する第1ラッチ40、2個のインバータにより構成され、記憶ノードpz[0]にデータを記憶する第2ラッチ41、第1及び第2ラッチ40、41のデータ記憶を感知して第1及び第2ラッチ40、41の選択トランジスタ408、409を自動的にディスエイブル化させる選択信号sel[0]を出力する選択信号ディスエイブル部と、データ感知器440からのDRE信号、制御信号cl[0]及び以前の記憶部430のデータにตอบสนองして第1及び第2ラッチ40、41の選択トランジスタ408、409を自動的にイネーブル化させる選択信号sel[0]を出力する選択信号イネーブル部と、電源電圧端及び選択トランジスタ408、409間に各々接続され、ゲート端がGrio及びGriozに各々接続されたPMOSトランジスタ45、46と、リセット信号resetにตอบสนองして読み出し動作の初期の時に第1及び第2ラッチ40、41に記憶されたデータをクリアさせてGrio及びGriozのセルデータを第1及び第2ラッチ40、41に入力させるため、記憶部400の選択信号sel[0]をイネーブル化させるための初期リセット部と、データ感知器440からのDFE信号及び以前の記憶部430の選択信号sel[3]にตอบสนองして第1及び第2ラッチ40、41の記憶ノードp[0]、pz[0]データをクリアさせるためのクリア部と、第1ラッチ40及び第2ラッチ41の記憶データ及びパイプカウンタ信号pocnt[0]にตอบสนองしてパイプレジスタの出力PU、PDを駆動する出力駆動部50を含んで構成されている。

【0018】選択トランジスタ408、409は、各々、PMOSトランジスタ45、46及び記憶ノードp[0]、pz[0]間に各々接続され、ゲート端に選択信号sel[0]が入力される。選択信号ディスエイブル部は、入力端が第1ラッチ40及び第2ラッチ41に接続されたNANDゲート404と、NANDゲート404の出力信号dp[0]を反転遅延して制御信号cl[0]を出力するための奇数個のインバータ405～407と、電源電圧端に片側が接続され、ゲート端に制御信号cl[0]が入力されて制御信号cl[0]にตอบสนองして選択信号sel[0]をプルアップ駆動するためのPMOSトランジスタPM1によりなる。

【0019】信号選択信号イネーブル部は、制御信号cl[0]、DRE信号及び第4記憶部430からの信号dp[3]が

入力されて否定論理積するNANDゲート43と、NAND ゲート43の出力信号を反転するインバータ44と、PMOSTランジスタPM1 のドレイン端及び接地電源端間に接続され、ゲート端にインバータ44の出力信号op[0] が入力されて選択信号sel[0]をプルダウン駆動するためのNMOSTランジスタNM1 からなる。

【0020】初期リセット部は、記憶ノードp[0]と接地電源端との間に接続され、ゲート端にリセット信号reset が入力されるNMOSTランジスタ401 と、記憶ノードpz[0]と接地電源端間に接続され、ゲート端にリセット信号reset が入力されるNMOSTランジスタ402 と、選択信号sel[0] ノード端及び接地電源端間に接続され、ゲート端にリセット信号reset が入力されるNMOSTランジスタ403 からなる。

【0021】クリア部は、DFE 信号及び第4 記憶部430 からの選択信号sel[3]が入力されて否定論理和するNOR-ゲート47と、第1 ラッチ40の記憶ノードp[0]及び接地電源端間に接続され、ゲート端にNOR ゲート47の出力信号rs[0] が入力されるNMOSTランジスタ48と、第2ラッチ41の記憶ノードpz[0] 及び接地電源端間に接続され、ゲート端にNOR ゲート47の出力信号rs[0] が入力されるNMOSTランジスタ49からなる。

【0022】最後に、出力駆動部50は、電源電圧端及び接地電源端間に順に直列接続され、ゲート端に反転された記憶ノードp[0]のレベルが入力されるPMOSTランジスタ、ゲート端に反転されたパイプカウンタ信号pocnt[0]が入力されるPMOSTランジスタ、ゲート端にパイプカウンタ信号pocnt[0]が入力されるNMOSTランジスタ、及びゲート端に記憶ノードpz[0] のレベルが入力されるNMOSTランジスタにより構成されて、パイプレジスタの出力信号PUを駆動する第1 駆動部と、電源電圧端及び接地電源端間に順に直列接続され、ゲート端に反転された記憶ノードpz[0] のレベルが入力されるPMOSTランジスタ、ゲート端に反転されたパイプカウンタ信号pocnt[0]が入力されるPMOSTランジスタ、ゲート端にパイプカウンタ信号pocnt[0]が入力されるNMOSTランジスタ、及びゲート端に記憶ノードp[0]のレベルが入力されるNMOSTランジスタにより構成されて、パイプレジスタの出力信号PDを駆動する第2駆動部からなる。残りの第2～第4 記憶部410 ～430 の各々は、初期リセット部のNMOSTランジスタ403 を除去した上記第1 記憶部400 の構成と同一である。

【0023】以下、図12～図16、図17及び図18に基づいて実施の形態に係る半導体メモリ素子の動作を説明する。まず、Grio及びGrioz は、“ハイ”レベルにプリチャージされており、第1～第4 記憶部400 ～430 の選択信号sel[0]、sel[1]、sel[2]、sel[3]は、ディスエイブル状態の“ハイ”レベルを維持すると仮定する。

【0024】データ読み出し動作が始まれば、パイプレジスタに“ハイ”レベルのリセット信号reset が印可さ

れる。印加された“ハイ”レベルのリセット信号reset をゲートで入力されるNMOSTランジスタ401、411、421、431 が各々ターンオンされて第1～第4 記憶部400～430 の記憶ノードp[0]、p[1]、p[2]、p[3]が“ロー”レベルにリセットされる(図17の500)。同様に、“ハイ”レベルのリセット信号reset をゲートで入力されるNMOSTランジスタ402、412、422、432 が各々ターンオンされて第1～第4 記憶部400～430 の記憶ノードpz[0]、pz[1]、pz[2]、pz[3]が“ロー”レベルにリセットされる(図17の500)。次いで、“ハイ”レベルのリセット信号reset により第1 記憶部400 のNMOSTランジスタ403 がターンオンされ、ターンオンされたNMOSTランジスタ403 により第1 記憶部400 の選択信号sel[0]が“ロー”レベルに遷移されることによって(図17の501)、第1 記憶部400 がイネーブル状態となる。

【0025】次いで、セルから読み出したデータがGrio及びGrioz に載せて図17及び図18に示されたことのように、Grioは、“ロー”に遷移され、Grioz は、“ハイ”レベルを維持することになれば、PMOSTランジスタ45がターンオンされて上記選択信号sel[0]によりイネーブル化された第1 記憶部400 の記憶ノードp[0]に“ハイ”値がラッチされ、第1 記憶部400 のまた他の記憶ノードpz[0] は、“ロー”状態に続けて維持される(図17の502)。同時にデータ感知器440 でGrio及びGrioz のデータを感知して“ロー”パルスのDFE 信号を出力する(図17の503)。

【0026】そして、“ロー”のDFE 信号と“ロー”の選択信号sel[0]は、第2記憶部410の2 入力NOR ゲート413 に入力されてrs[1] 信号を“ハイ”に出力し504、“ハイ”のrs[1] 信号は、NMOSTランジスタ414、415 の各 ゲート端に印可されて、NMOSTランジスタ414、415 をターンオンさせる。したがって、第2記憶部410 の記憶ノードp[1]、pz[1] を“ロー”状態にクリアする。すなわち、NOR ゲート413 は、DFE 信号と第1 記憶部400 の選択信号sel[0]に回答して第2記憶部400 に記憶されたデータをクリアさせる。

【0027】次いで、“ハイ”の記憶ノードp[0]信号と“ロー”の記憶ノードpz[0] 信号は、2 入力NANDゲート404 に入力されて“ハイ”のdp[0](図18の505)及び“ロー”のcl[0] を出力する。そして、“ロー”のcl[0] は、PMOSTランジスタPM1 をターンオンさせて第1 記憶部400 の選択信号sel[0]が“ハイ”レベルに遷移されて506、PMOSTランジスタ408、409 がターンオフされる。すなわち、NANDゲート404 及び3個のインバータ405～407 は、第1 記憶部400 に対するデータの記憶動作が完了することを知り、第1 記憶部400 をディスエイブル化させる役割を遂行する。したがって、“ハイ”レベルの記憶ノードp[0]と“ロー”レベルの記憶ノードpz[0] は、rs[0] によりクリアされる時まで続けて保存



される。

【0028】次いで、Grioが“ロー”から“ハイ”に遷移することになれば、データ感知器440でこれを感知して“ハイ”パルスのDRE信号を出力する(図17の507)。“ハイ”パルスのDRE信号と“ハイ”レベルのdp[0]、cl[1]信号が第2記憶部410の3入力NANDゲート416とインバータ417を通じて“ハイ”のop[1]を出力する。“ハイ”のop[1]信号は、NMOSトランジスタNM2をターンオンさせて第2記憶部410の選択信号sel[1]を“ロー”レベルにプルダウン駆動する(508)。したがって、2個のPMOSトランジスタ418、419がターンオンされることで、Grio及びGrioz上の2番目のデータを記憶する準備を完了する。

【0029】次いで、Grio及びGriozに2番目のデータが入力される場合、すなわちGrioは、“ハイ”状態を維持し、Griozは、“ロー”パルスが載せれば、PMOSトランジスタ51がターンオンされて上記選択信号sel[1]によりイネーブル化された第2記憶部410の記憶ノードpz[1]に“ハイ”値がラッチされ、第2記憶部410のまた他の記憶ノードp[1]は、“ロー”状態に続けて維持される(図17の509)。同時に、データ感知器440からDFE信号が“ロー”パルスで発生される(510)。

【0030】そして、“ロー”のDFE信号と“ロー”のイネーブル信号sel[1]は、第3記憶部420の2入力NORゲート423に入力されてrs[2]信号を“ハイ”で出力し511。“ハイ”のrs[2]信号は、NMOSトランジスタ424、425の各ゲート端に印可されて、NMOSトランジスタ424、425をターンオンさせる。したがって、第3記憶部420の記憶信号p[2]、pz[2]を“ロー”状態にクリアする。すなわち、NORゲート423は、DFE信号と第2記憶部410の選択信号sel[1]にตอบสนองして第3記憶部420に記憶されたデータをクリアさせる。

【0031】次いで、“ハイ”の記憶ノードpz[1]信号と“ロー”の記憶ノードp[1]信号は、2入力NANDゲート41に入力されて“ハイ”のdp[1](図18の512)、及び“ロー”のcl[1]を出力する。そして、“ロー”のcl[1]は、PMOSトランジスタPM2をターンオンさせて第2記憶部410の選択信号sel[1]が“ハイ”レベルに遷移され513、PMOSトランジスタ418、419がターンオフされる。すなわち、NANDゲート41、及び3個のインバータ42、43、44は、第2記憶部410に対するデータの記憶動作が完了することを知り、第2記憶部410をディスエーブル化させる役割を遂行する。したがって、“ハイ”レベルの記憶信号pz[1]と“ロー”レベルの記憶信号p[1]は、rs[1]によりクリアされる時まで続けて保存される。

【0032】次いで、Griozが“ロー”から“ハイ”に遷移することになれば、データ感知器440でこれを感知して“ハイ”パルスのDRE信号を出力する(図17の514)。“ハイ”パルスのDRE信号と“ハイ”レベルのdp[1]

、cl[2]信号が第3記憶部420の3入力NANDゲート52とインバータ53を通じて“ハイ”のop[2]を出力する。“ハイ”のop[2]信号は、NMOSトランジスタ54をターンオンさせて第3記憶部420の選択信号sel[2]を“ロー”レベルにプルダウン駆動する(515)。したがって、2個のPMOSトランジスタ55、56がターンオンされることで、Grio及びGrioz上の三番目のデータを記憶する準備を完了する。

【0033】Grio及びGriozに三番目のデータ及び四番目のデータが続けて入力される場合、上記一番目のデータ及び二番目のデータの場合と同様に第3記憶部及び第4記憶部に順に記憶される。

【0034】一方、上記本実施例とは異なり、CASレイテンシが3クロックにプログラムされたとすれば、パイプカウンタ信号の一番目の信号であるpocnt[0]が“ハイ”に遷移されながら第1記憶部400の出力駆動部50を通じて記憶されたデータを出力バッファに伝達し、すなわち、第1記憶部400の記憶ノード(p[0]の“ハイ”とpz[0]の“ロー”)にตอบสนองして“ハイ”の出力信号puと“ロー”の出力信号pdを出力バッファに伝達し、次いで第3記憶部420にGrio及びGrioz上のデータを記憶させる(図18の516)。

【0035】そして、その次のクロックでパイプカウンタ信号pocnt[0]が“ロー”に遷移されて出力が完了した第1記憶部400の出力駆動部50をディスエーブル化させると同時にパイプカウンタ信号の2番目の信号であるpocnt[1]が“ハイ”に遷移されながら、第2記憶部410の出力駆動部を通じて第2記憶部410に記憶されたデータを出力バッファに伝達する。次いで、第4記憶部430にGrio及びGrioz上のデータを記憶させる。

【0036】次いで、その次のクロックでパイプカウンタ信号pocnt[1]が“ロー”に遷移されて出力が完了した第2記憶部410の出力駆動部をディスエーブル化させると同時にパイプカウンタ信号の三番目の信号であるpocnt[2]が“ハイ”に遷移されながら第3記憶部420の出力駆動部を通じて第3記憶部420に記憶されたデータを出力バッファに伝達する。次いでまた第1記憶部400にGrio及びGrioz上のデータを記憶させる。上記の動作のように、サイクルが変わるたびにパイプカウンタ信号にตอบสนองして記憶部に記憶されたデータを出力バッファに出力させ、CASレイテンシにตอบสนองして記憶部にデータを交互に記憶させる。

【0037】結論的に、本発明は、パイプレジスタを4個の記憶部400～430により構成し、グローバル入出力正及び負ラインGrio、Griozにデータがロードされれば、これを感知して上記データを4個の記憶部の中、任意の1個の記憶部にラッチし、それと同時にCASレイテンシにより記憶されるその次の記憶部をクリアしてラッチ動作が完了すれば、それを感知して上記次の記憶部を自動的にイネーブル化させてその次のデータを記憶でき

るように構成する。

【0038】本発明の技術思想は、上記好ましい実施例によって具体的に記述されたが、上記した実施例はその説明のためのものであって、その制限のためのものではないことを注意すべきである。また、本発明の技術分野の通常の専門家であるならば、本発明の技術思想の範囲内で種々の実施例が可能であることを理解することができる。

#### 【0039】

【発明の効果】上記のようになる本発明は、グローバル入出力正及び負ライン上に読み出しデータがロードされれば、これを感じてCAS レイテンシに応答して多数の記憶部を変えながらデータを削除し、記憶する動作を自動的に遂行し、従来とは異なって、各グローバル入出力正及び負ラインが各々のパイプレジスタに独立的に接続されて動作するように構成することで、他のグローバル入出力正及び負ラインにより発生されるデータスキューの影響を受けなくて高速動作が可能である。したがって、本発明のパイプレジスタは、ローディングにより大きいスキューが発生する高集積メモリに適用されて、メモリ素子の高速動作を可能にする優れた効果がある。実験例として、上記本発明の一実施例で具現したパイプレジスタを使用してシミュレーションした結果、400Mhz以上の高速動作が可能となった。

#### 【図面の簡単な説明】

【図1】図2～図5に示された従来技術に係るパイプレジスタを含むシンクロナスメモリ素子の配線図の全体構成を示す図である。

【図2】従来技術に係るパイプレジスタを含むシンクロナスメモリ素子の部分構成を示すブロック配線図である。

【図3】従来技術に係るパイプレジスタを含むシンクロナスメモリ素子の部分構成を示すブロック配線図である。

【図4】従来技術に係るパイプレジスタを含むシンクロナスメモリ素子の部分構成を示すブロック配線図である。

【図5】従来技術に係るパイプレジスタを含むシンクロ

ナスメモリ素子の部分構成を示すブロック配線図である。

【図6】従来技術に係るパイプレジスタの内部回路構成を示す回路図である。

【図7】図8～図11に示された本発明の実施の形態に係るパイプレジスタを含むシンクロナスメモリ素子の配線図の全体構成を示す図である。

【図8】実施の形態に係るパイプレジスタを含むシンクロナスメモリ素子の部分構成を示すブロック配線図である。

【図9】実施の形態に係るパイプレジスタを含むシンクロナスメモリ素子の部分構成を示すブロック配線図である。

【図10】実施の形態に係るパイプレジスタを含むシンクロナスメモリ素子の部分構成を示すブロック配線図である。

【図11】実施の形態に係るパイプレジスタを含むシンクロナスメモリ素子の部分構成を示すブロック配線図である。

【図12】図13～図16に示された本発明の別の実施の形態に係るパイプレジスタを含むシンクロナスメモリ素子の配線図の全体構成を示す図である。

【図13】別の実施の形態に係るパイプレジスタの内部回路構成を示す回路図である。

【図14】別の実施の形態に係るパイプレジスタの内部回路構成を示す回路図である。

【図15】別の実施の形態に係るパイプレジスタの内部回路構成を示す回路図である。

【図16】別の実施の形態に係るパイプレジスタの内部回路構成を示す回路図である。

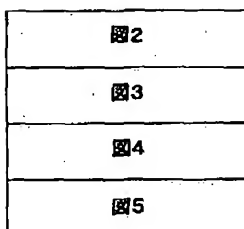
【図17】本発明の実施の形態に係るパイプレジスタの動作を示すタイミングチャートである。

【図18】本発明の実施の形態に係るパイプレジスタの動作を示すタイミングチャートである。

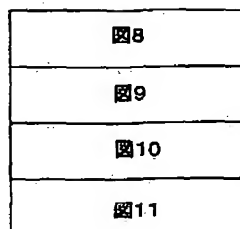
#### 【符号の説明】

400、410、420、430 第1～第4 記憶部  
440 データ感知器

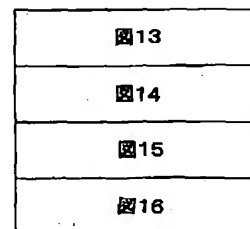
【図1】



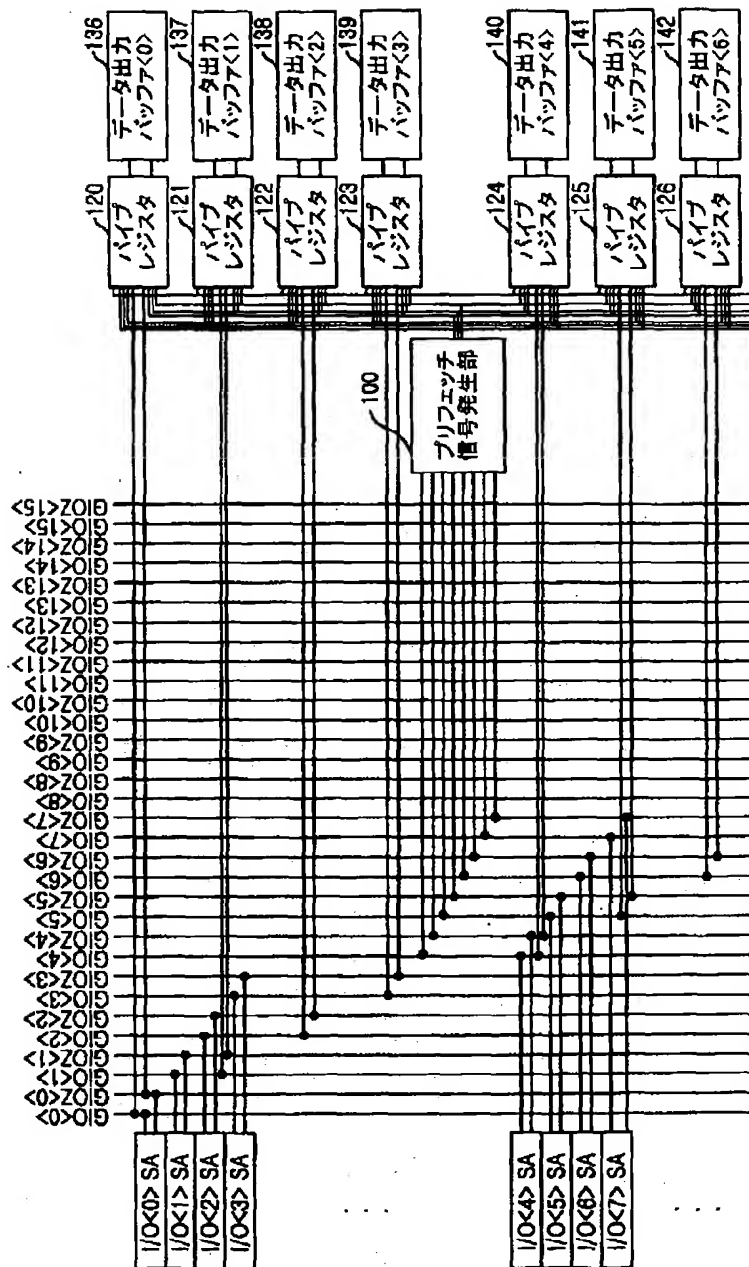
【図7】



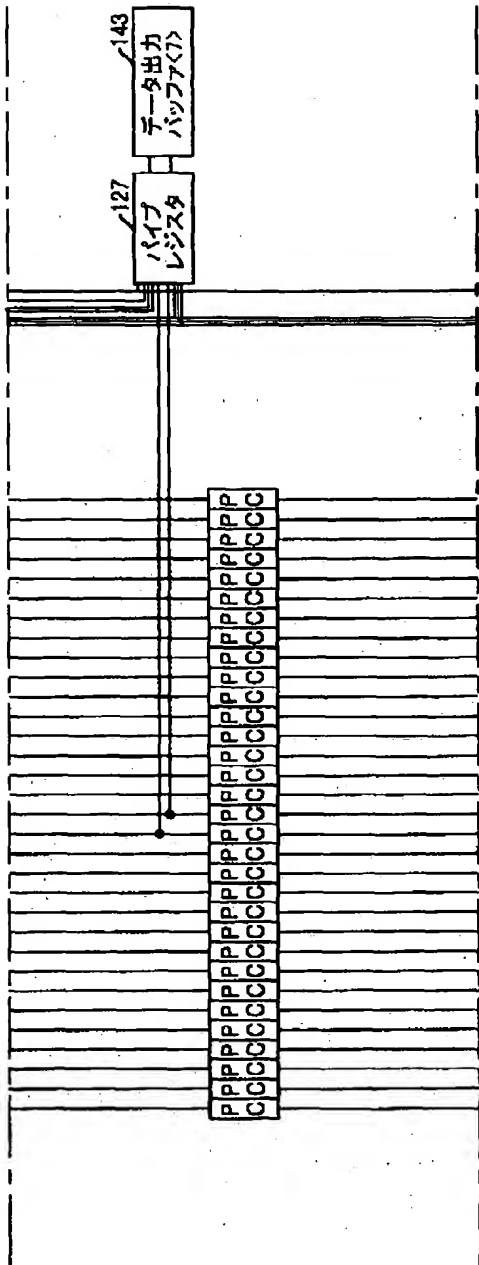
【図12】



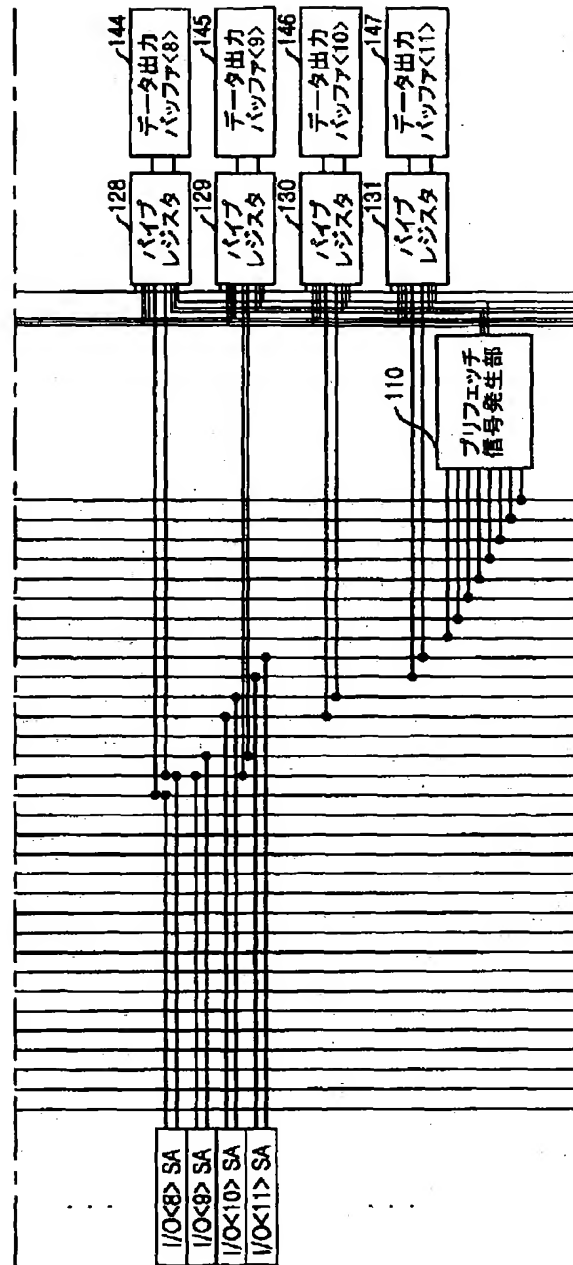
【図2】



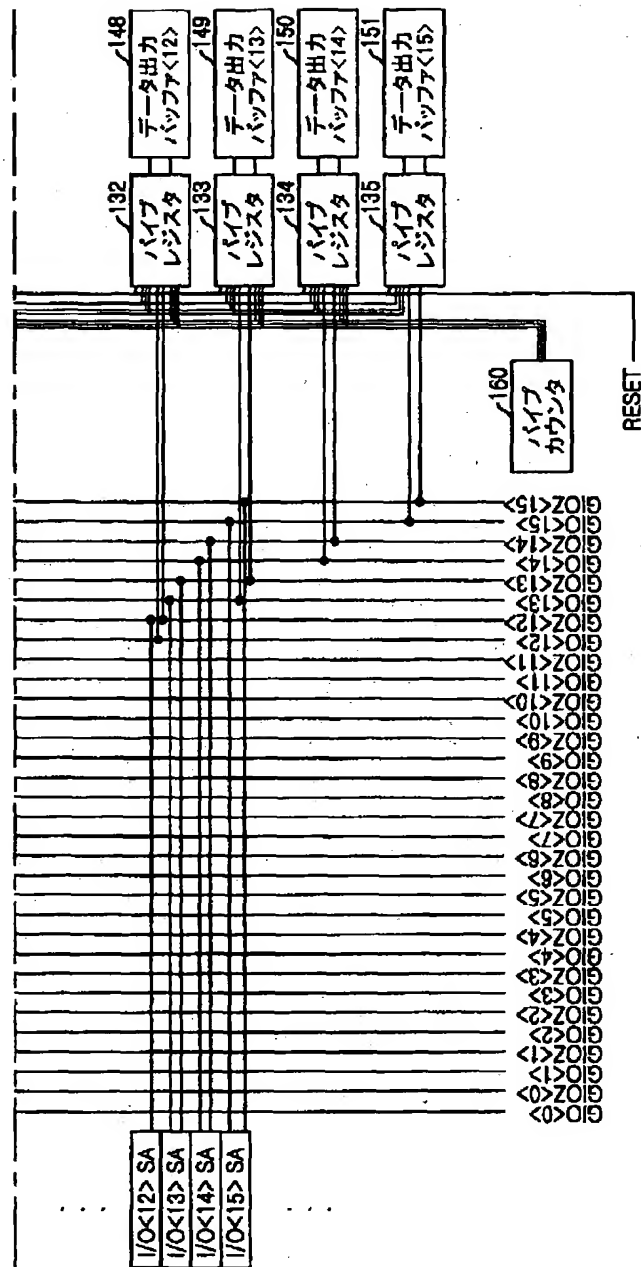
【図3】



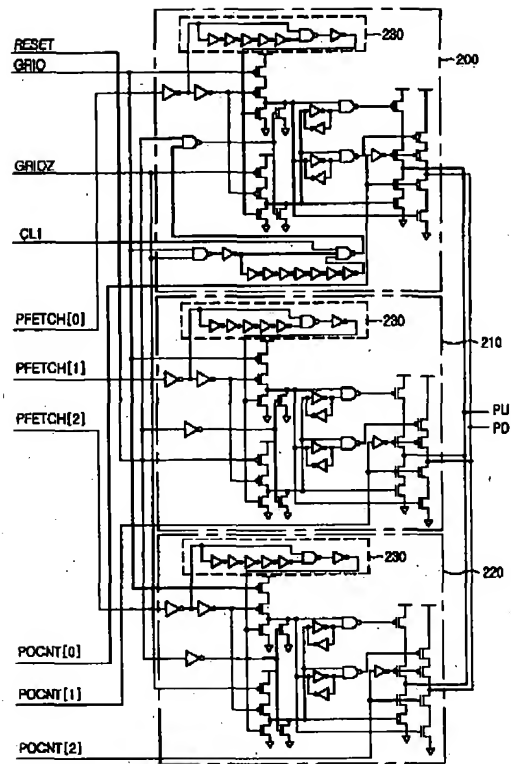
【図4】



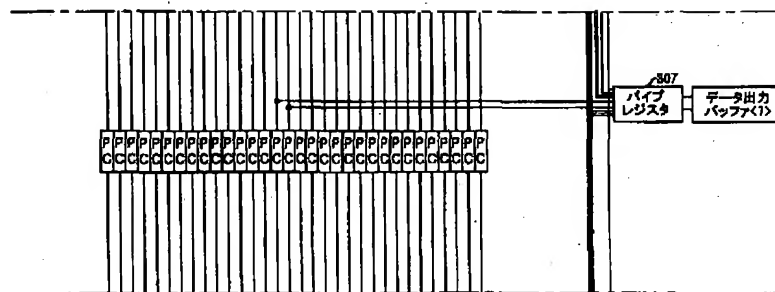
【図5】



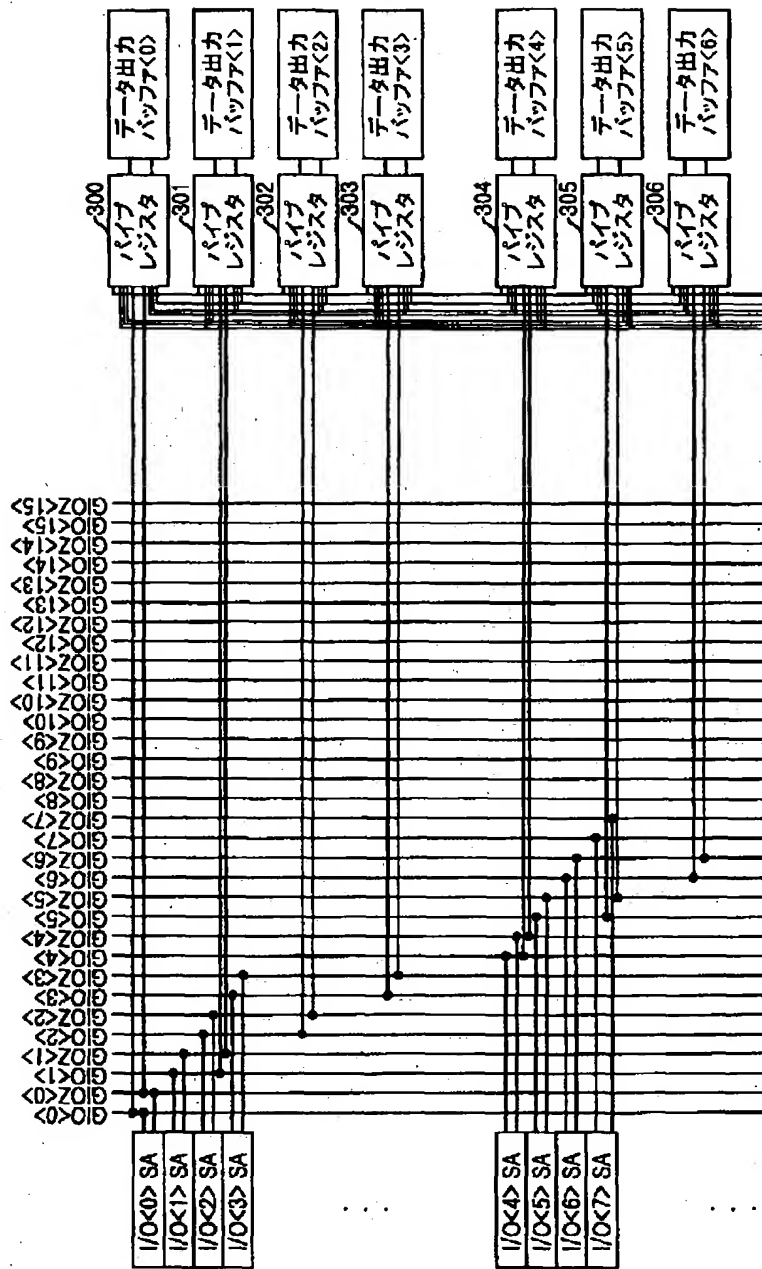
【図6】



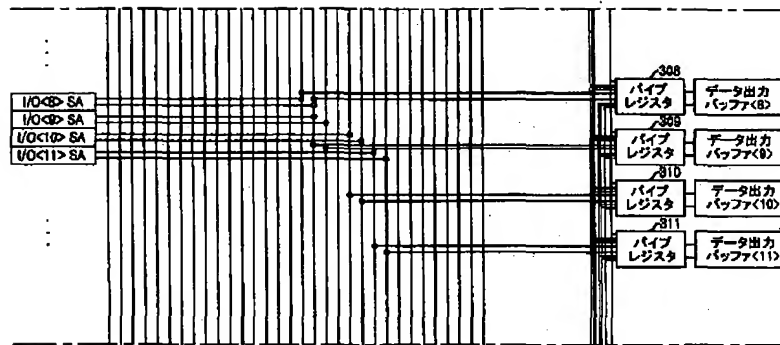
【図9】



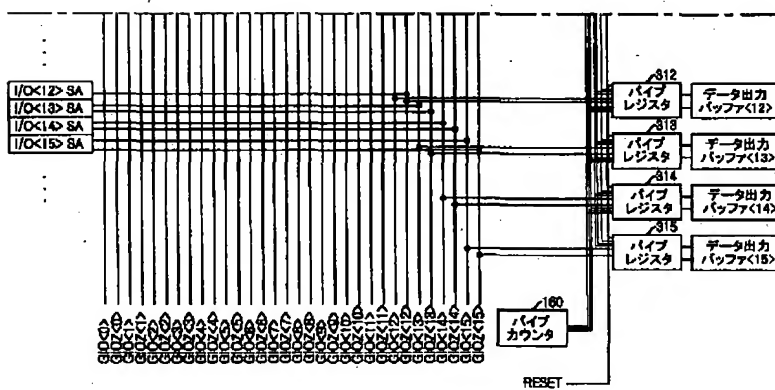
【図8】



【図10】

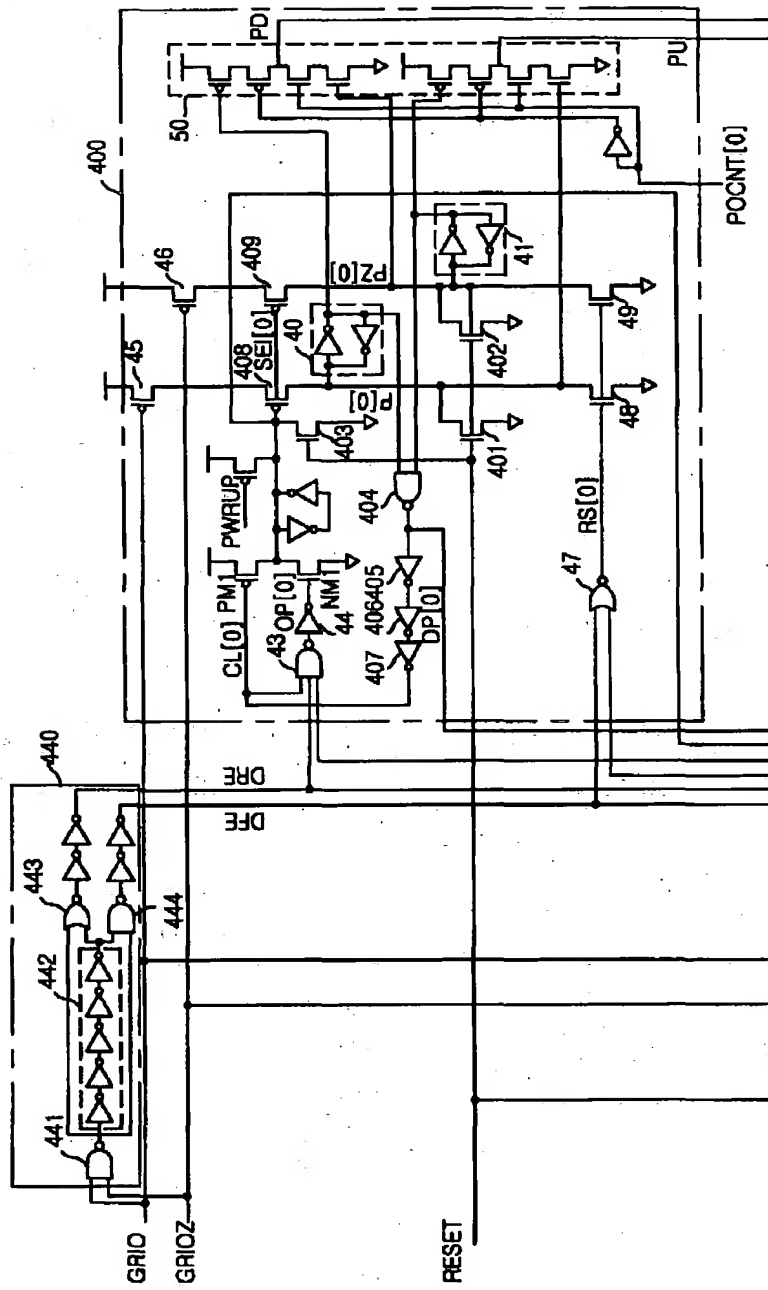


【図11】

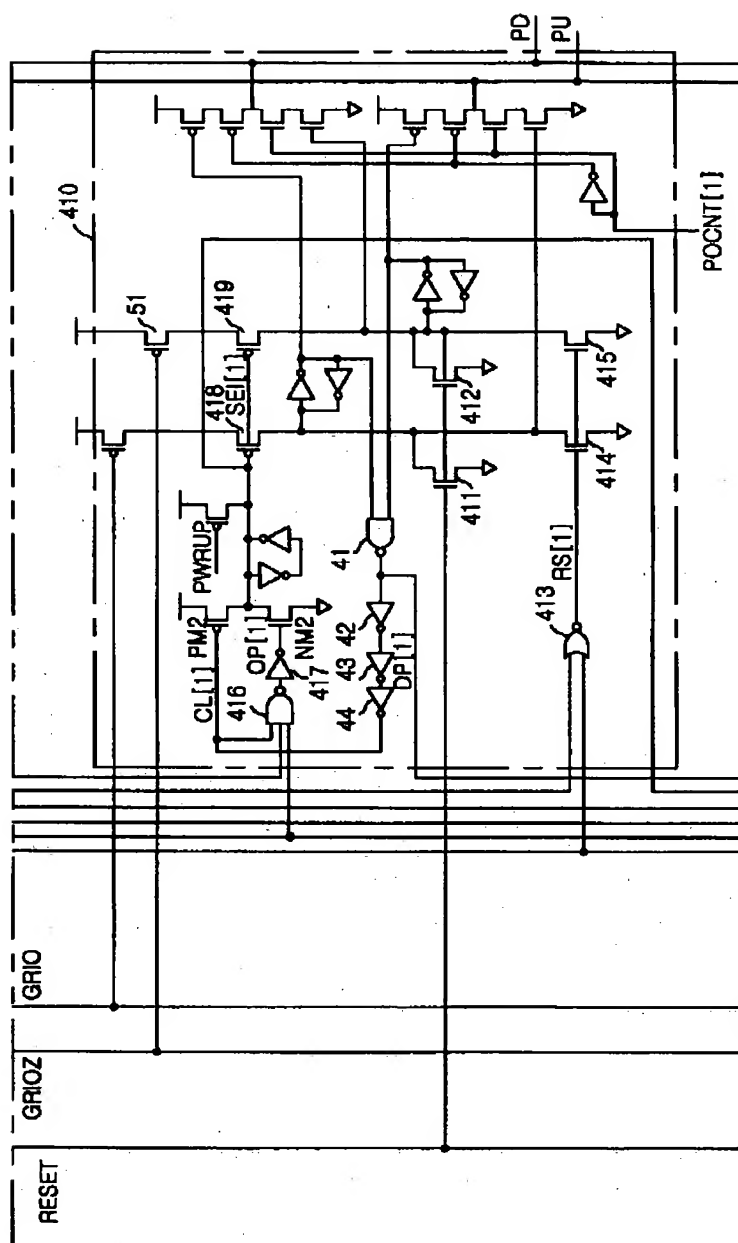




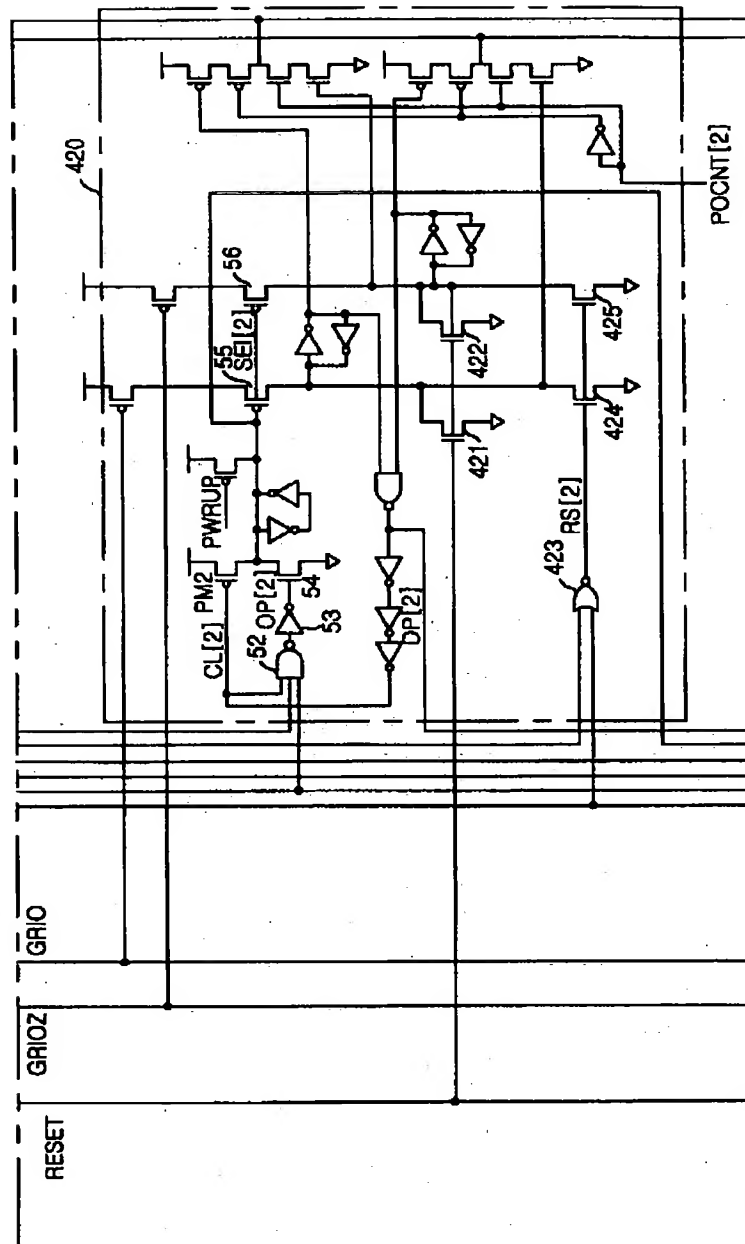
【図13】



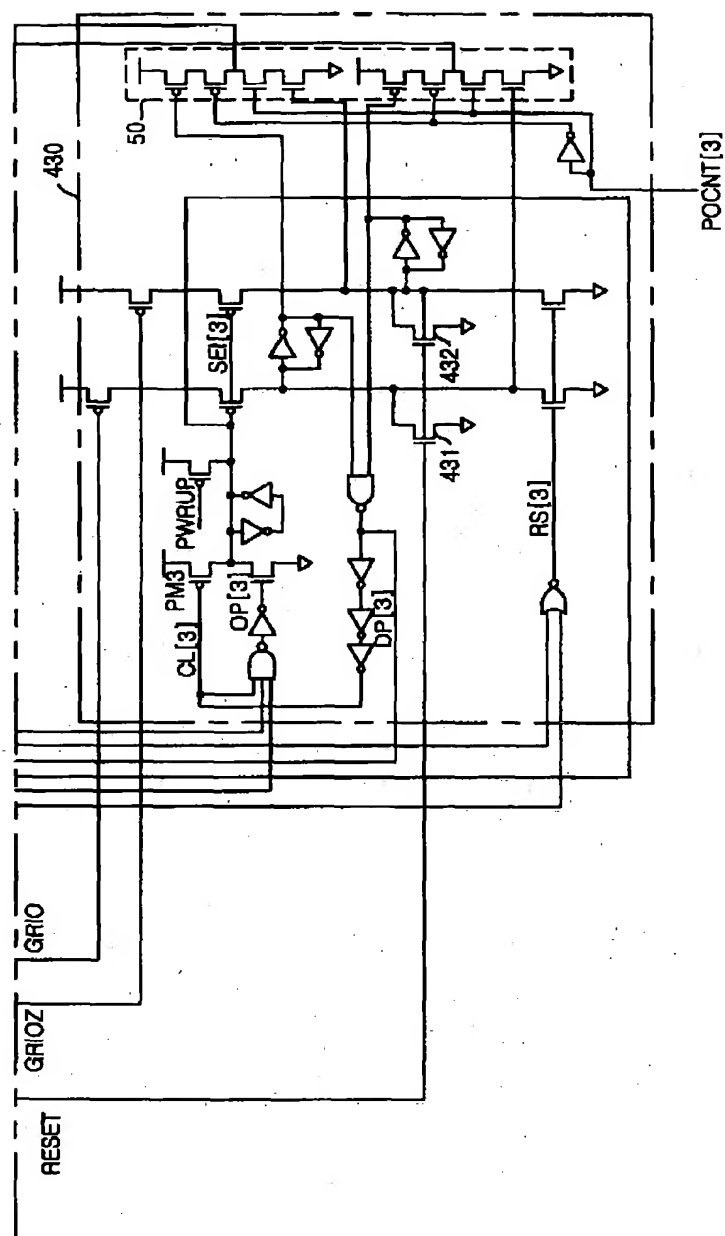
【图 14】



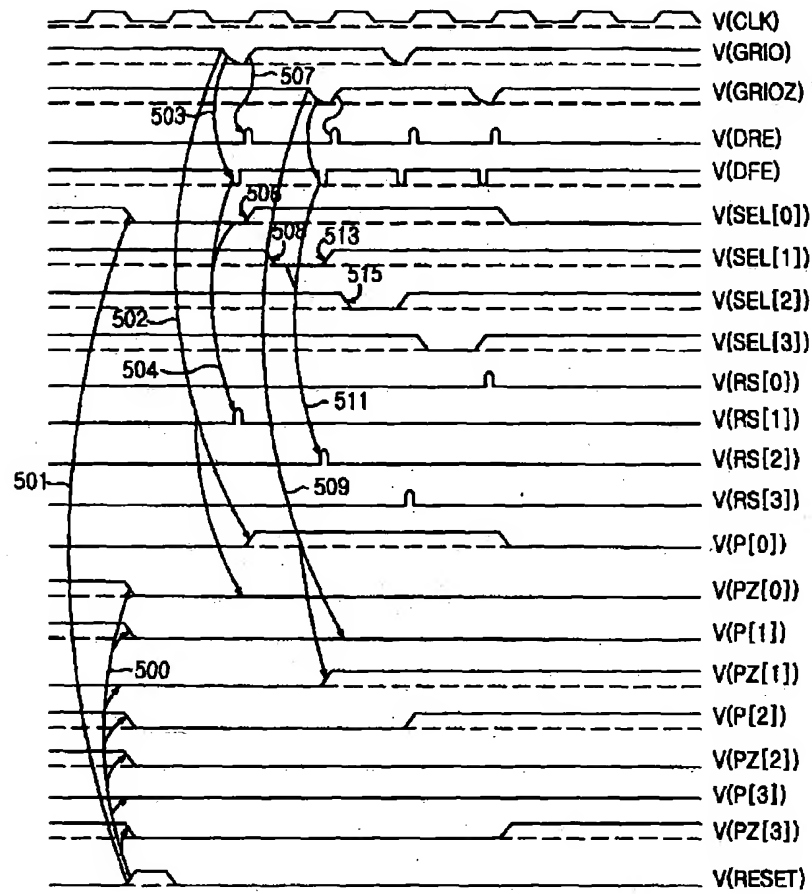
【図15】



【図16】



【図17】



【図18】

